

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-246375

(43)Date of publication of application : 02.10.1990

(51)Int.Cl.

H01L 29/788

H01L 27/115

H01L 29/792

(21)Application number : 01-068629

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.03.1989

(72)Inventor : EMA YASUSHI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To lower voltage on writing, to prevent the erroneous erasure of a non selective cell and to obviate soft-write at the time of read by making the source and drain of the cell different in impurity concentration and forming source and drain of the cell of asymmetric structures.

CONSTITUTION: A memory cell transistor with a floating gate FG, a control gate CG and a source and a drain is provided. A p-type impurity layer in high concentration is formed so as to surround an n-type impurity layer in high concentration in one of the source and drain, and the other is formed on an n-type impurity layer in low concentration and a high concentration impurity in a section separate from a gate end. The strength of an electric field is made steep and a large number of hot electrons are produced in the former case when it is used as the drain, while in the latter case hot electrons are difficult to be produced because the electric field is relaxed in an n-type impurity layer. Accordingly, voltage is lowered on write, and the erroneous erasing of a non selective cell is prevented while the generation of hot carriers at the time of read is inhibited and a software error can be obviated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

・[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑨ 公開特許公報(A) 平2-246375

⑫ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)10月2日

H 01 L 29/788
27/115
29/7827514-5F H 01 L 29/78 371
8624-5F 27/10 434

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 平1-68829

⑯ 出 願 平1(1989)3月20日

⑰ 発 明 者 江 岡 泰 示 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 井 桁 貞一 外2名

明 細 書

3. 発明の詳細な説明

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

フローティングゲート、コントロールゲート、ソースおよびドレインを有するメモリセル・トランジスタを備えた半導体記憶装置において、

前記ソースまたはドレインのいずれか一方が急峻な不純物濃度分布を有し、他方が緩やかな不純物濃度分布を有して形成され、前記ソースに接続された配線とドレインに接続された配線が互に平行に一方向に延在され、前記メモリセル・トランジスタへの情報書き込み時にソースがドレインとして使用され、前記メモリセル・トランジスタの情報读出時にドレインがドレインとして使用されるように構成したことを特徴とする半導体記憶装置。

〔要約〕

半導体記憶装置に係り、特にフラッシュ EPROM (電気的に書換え可能なメモリ、以下 EPROM という。) に関し、

書き込み時において、電圧を低くすることができ、非選択セルの誤消去を防止するとともに、読み出し時におけるホットキャリアの発生を抑制してソフトエラーを防止しうる半導体記憶装置を提供することを目的とし、

フローティングゲート、コントロールゲート、ソースおよびドレインを有するメモリセル・トランジスタを備えた半導体記憶装置において、前記ソースまたはドレインのいずれか一方が急峻な不純物濃度分布を有し、他方が緩やかな不純物濃度分布を有して形成され、前記ソースに接続された配線とドレインに接続された配線が互に平行に一方向に延在され、前記メモリセル・トランジスタへの情報書き込み時にソースがドレインとして使用

特開平2-246375(2)

され、前記メモリセル・トランジスタの読出し時にドレインがドレインとして使用されるように構成する。

〔産業上の利用分野〕

本発明は、半導体記憶装置に係り、特にフラッシュＥＰＲＯＭ（電気的に書換え可能なメモリ、以下ＥＰＲＯＭという。）に関する。

フラッシュＥＰＲＯＭはドレイン近傍のアパランシェ・ホット・エレクトロンをフローティングゲートに注入することにより情報を記憶し、シリコン基板の薄い酸化膜を介したトンネル電流によりフローティングゲート中の電子を引き抜くことにより情報の消去を行うようにした記憶素子である。構造的には、一般に、多結晶シリコンからなるコントロールゲート、酸化膜、多結晶シリコンからなるフローティングゲート、酸化膜（トンネル絶縁膜：Oxide）、半導体（Semiconductor）の積層構造からなるＦＬＯＴＯＸ形がとられる。このようなＥＰＲＯＭは、小さな形状を利用したキャ

ッシュカード、ＩＤカード等に搭載するメモリとして、また各種データ用のメモリとして利用される。かかるＥＰＲＯＭへの情報の書き込み消去は、それぞれドレイン近傍のホットエレクトロンをフローティングゲートに注入する帯電、高電圧をフローティングゲートとドレイン間に印加することにより絶縁膜を介して流れるFowler-Nordheim電流による放電を利用して行われるが、その情報書き込み時に記憶情報が消去する問題がある。本発明はかかる情報書き込み時の問題点の改良技術に関するものである。

〔従来の技術〕

第５図に従来のＥＰＲＯＭのメモリセルトランジスタ（以下、セルという。）アレイを示す。

第５図において、各ビット線 BL_1 、 BL_2 にはそれぞれセル 11 、 12 、 \dots 、 21 、 22 のドレイン D が接続され、かつ、他方が接地線 EL に接続されている。図中、 CG はコントロールゲート、 FG はフローティングゲートである。

第６図にセルの断面構造を示し、第７図にその等価回路を示す。すべてのセルは同一構造であり、基板 Sub に形成されたドレイン D 、ソース S の間の上部にフローティングゲート FG 、さらにその上部にコントロールゲート CG が形成されている。これを等価回路で示すと第７図のようになる。

第７図において、 C_1 は $CG-FG$ 間結合容量、 C_2 は $FG-D$ 間結合容量、 C_3 は $FG-Sub$ 間結合容量、 C_4 は $FG-S$ 間の結合容量を示している。

次に、動作を説明する。

第８図において、セル 11 に情報を書き込む場合、バイアスを第８図の如く設定する。すると、セル 11 に電流が流れ、ドレイン D 近傍の高電界部でインパクトionizationにより発生したhot-electronsが、ゲートに印加された電圧によりフローティングゲート FG に注入される。このため、フローティングゲート FG は負に帯電し、セル 11 の閾値は例えば $1(V)$ から、 $6(V)$ に上昇する。こうして各セルは、その閾値が $1(V)$

と $6(V)$ の２値のいずれかに設定され、情報を記憶する。セル 11 の情報を读出する場合、第９図の如くバイアスを設定する。セル 11 の閾値が $1(V)$ の時、ビット線が接地線へ電流が流れ、 $6(V)$ の時流れない。こうして情報を读出す。

情報を消去して初期状態に戻すには、第１０図の如くバイアスを設定する。この時、各セル 12 は、第６図に示す如く、ドレイン D とフローティングゲート FG 間に電圧が印加される。この電圧が十分大きい時、ゲート酸化膜中をFowler-Nordheim電流が流れ、フローティングゲート FG の帯電電荷の放出がなされて消去が行われる。

〔発明が解決しようとする課題〕

書き込みの際、第８図のセル 12 が閾値 $6(V)$ の時、第１２図の如きバイアスが印加されている。

具体的に、 $C_1 : C_2 : C_3 : C_4 = 7 : 0.5 : 2 : 0.5$ として放電を求めると、

特開平2-246375(9)

第11図の場合

$$V_{FG} = \frac{C_2}{C_1 + C_2 + C_3} \times 20 \text{ (V)}$$

∴ D-FG間電圧

$$= \frac{C_1 + C_3}{C_1 + C_2 + C_3} \times 20 \text{ (V)}$$

により、19 (V) となる。

一方、第12図の場合

$$V_{FG} = \frac{C_2 \times 9 - C_1 \times 5}{C_1 + C_2 + C_3 + C_4} \text{ (V)}$$

∴ D-FG間電圧

$$= \frac{(C_1 + C_3 + C_4) \times 9 + C_1 \times 5}{C_1 + C_2 + C_3 + C_4}$$

により、12 (V) となる。このように両者は余り変わらない。最悪の場合同一のビット線で、最初に選択されたセルは、第12図のバイアスをビット線に接続されたセルの数と同じ回数で電圧の印加を受けることになる。おおよそ第11図の100倍以上の時間だけ電圧が印加されて、情報が消失してしまう危険性がある。

ティングゲート、コントロールゲート、ソースおよびドレインを有するメモリセル・トランジスタを備えた半導体記憶装置において、前記ソースまたはドレインのいずれか一方が急峻な不純物濃度分布を有し、他方が緩やかな不純物濃度分布を有して形成され、前記ソースに接続された配線とドレインに接続された配線が互に平行に一方側に延在され、前記メモリセル・トランジスタへの情報書き込み時にソースがドレインとして使用され、前記メモリセル・トランジスタの情報の読出し時にドレインがドレインとして使用されるように構成する。

〔作用〕

本発明によれば、セルのソース・ドレインの不純物濃度を異ならせてセルのソース・ドレインを非対称構造とすることにより、その一方をホットキャリアの発生し易い側とし、他方は発生しにくい側として書き込み時に前者をドレインとして使用し、読出し時は後者をドレインとして使用する。

これを防止するには、第11図と第12図の電圧差を大きくすればよいのであるが、これには第10図の20 (V) をさらに大きくする（同時にゲート酸化膜を厚くする）方法と、第8図の9 (V) をさらに小さくする方法とがある。

前者の場合、 n^+ 拡散層と S_1 基板の耐圧量の制約があり、余り大きくできない。後者の場合、第8図と第9図のバイアス条件の差が小さくなり、その結果第8図のセル11に電子が少しずつ充電されてしまう。第9図は製品保証として10年、第8図は1msec以下というように、時間として 10^{11} 以上異なり、危険である。

本発明は、書き込み時において、電圧を低くすることができ、非選択セルの誤消去を防止するとともに、読出し時におけるホットキャリアの発生を抑制してソフトエラーを防止しうる半導体記憶装置を提供することを目的とする。

〔問題を解決するための手段〕

上記問題を解決するために、本発明は、フロー

る。その結果、書き込みの際、電圧を低くでき非選択セルの誤消去を防止できる。一方、読出しの際のホットキャリアの発生を低くできソフトライト（読出しによるゆるやかな書き込み）を防止できる。

〔実施例〕

次に本発明の実施例を図面に基づいて説明する。

第1図は本発明に係る半導体記憶装置のメモリセルアレイの概略図を示す。なお、従来例と同一部分には同一の符号を付して以下説明する。

この第1図において、各セル11、12、13はビット線 BL_1 と接地線 EL との対からなる配線の間に接続されており、セル21、22、23も同様にビット線 BL_2 と接地線 EL 間に接続されている。

ビット線 BL_1 と接地線 EL とは読出し時と書き込み時とで切替えて使用する。ビット線 BL_2 と接地線 EL との場合も同様であり、その態様は第1図に示した通りである。

第2図に、本発明の場合のメモリセル構造を示

特開平2-246375(4)

す。

ソース・ドレインの一方は高濃度のn型不純物層を囲む如く高濃度のp型不純物層が形成されている。他方は、低濃度のn型不純物層と、ゲート端から離れた部分の、高濃度不純物層とで形成されている。前者においてはドレインとして用いた時、電場が急峻で、多数のホットエレクトロンを発生し、後者は、n⁻不純物層が電場を緩和したためホットエレクトロンは発生しにくい。

第3図に、レイアウト例を示す。ビット線BL₁と接地線ELが交互に平行に配線され、活性領域は斜めに形成されている。C₁～C₅はコンタクトホールである。

第4図に製造方法の例を示す。

- ① 選択酸化にて素子分離する。ゲート酸化した後、Poly1を成長し、不純物導入後パターン形成し、熱酸化した後、Poly2を成長し、不純物導入後Poly2、Poly1を同時にエッチングして第4図(a)となる。
- ② レジストパターン形成し、A₂⁺ B⁺ イオン

を注入する(b)。

- ③ レジストパターン形成し、P⁺イオン注入する(c)。

- ④ SiO₂膜、PSG膜成長し、コンタクトホール形成し、P⁺イオン注入する(d)。

- ⑤ A₂成長し、パターン形成する(e)。

第2の実施例では④のイオンに以下の工程が入る。

- ④' CVD法でSiO₂成長後、異方性エッチより、サイドウォールを形成し、(f)、A₂⁺イオン注入(g)後、SiO₂膜、PSG膜を成長し、コンタクトホールを形成する。

【発明の効果】

以上の通り、本発明によれば、書き込み時において、電圧を低くすることができ、非選択セルの誤消去を防止するとともに、読み出し時におけるホットキャリアの発生を抑制してソフトライトを防止しうる。そして、セルの読み出し動作マージンが改善され、かつ信頼性が向上する。

4. 図面の簡単な説明

第1図は本発明の実施例のメモリセルアレイの等価回路図、

第2図は本発明のメモリセルの断面構造図、

第3図は本発明のメモリセルの平面図、

第4図は本発明のメモリセルの製造工程図、

第5図は従来のEPROMのメモリセルアレイの等価回路図、

第6図は従来のメモリセルの断面構造図、

第7図は従来のメモリセルの等価回路図、

第8図は書き込み時のバイアスの説明図、

第9図は読み出し時のバイアスの説明図、

第10図は消去時のバイアスの説明図、

第11図は消去時の電圧の説明図、

第12図は第8図におけるセル12の電圧の説明図である。

BL₁、BL₂…ビット線

WL₁、WL₂、WL₃…ワード線

EL…接地線

11～13、21～23…セル

CG—コントロールゲート

FG—フローティングゲート

D—ドレイン

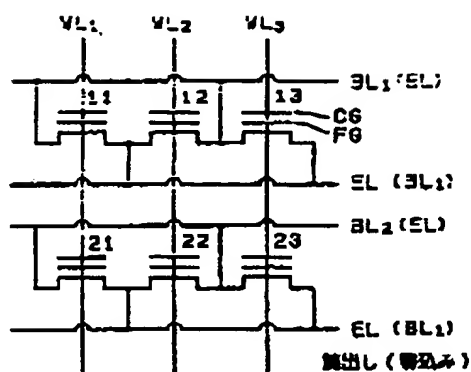
S—ソース

S o b—基板

代理人弁護士 井 野 貞

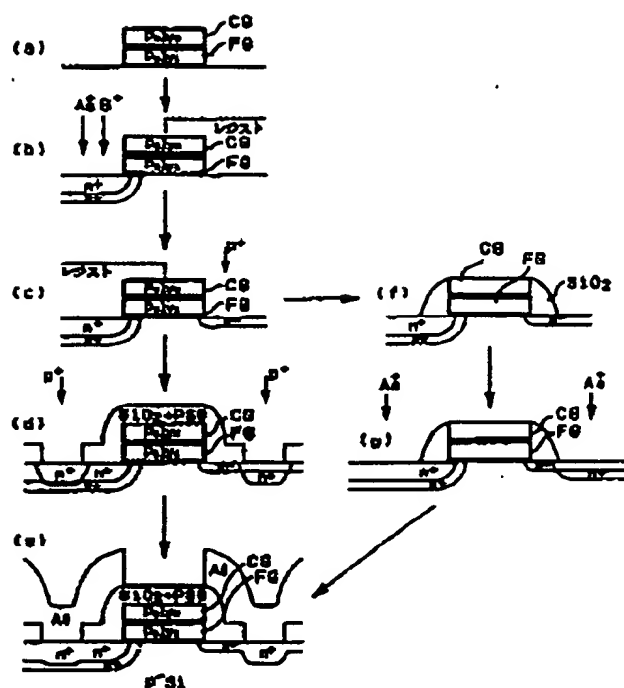


特開平2-246375(5)



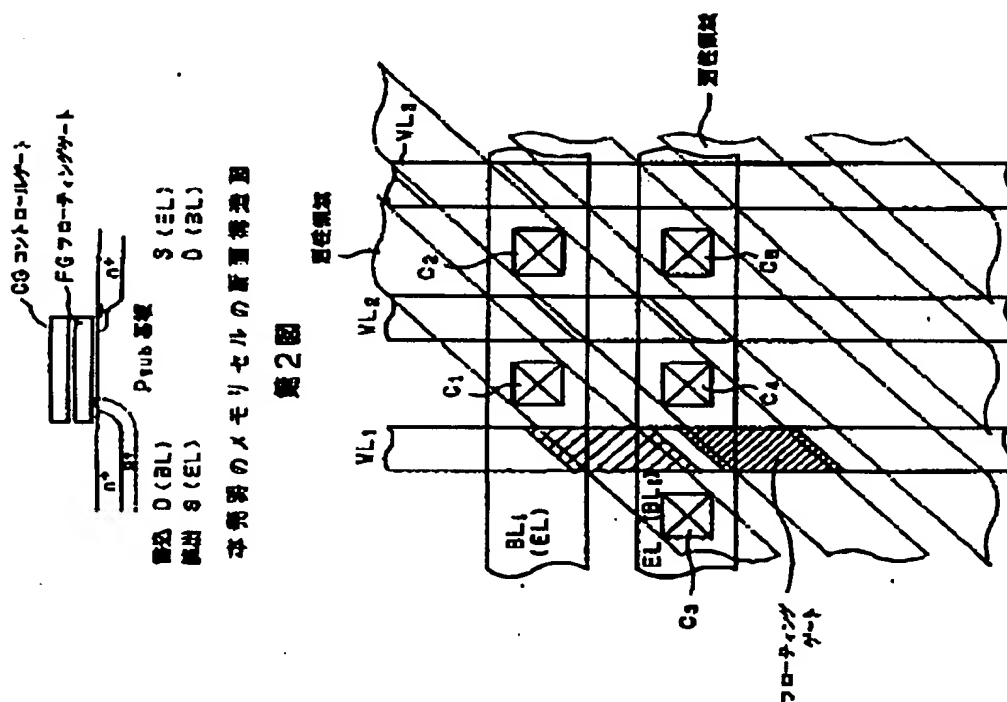
本発明の実施例のメモリセルアレイの等価回路図

第 1 回



本特異のメモリーセルの製造工程和

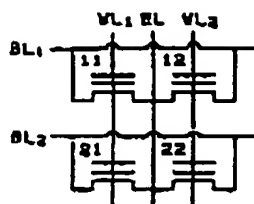
第4回



本発明のメモリの平面図

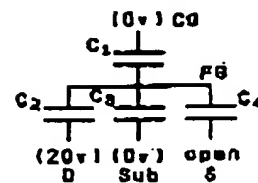
國
語
報

特開平2-246375(6)



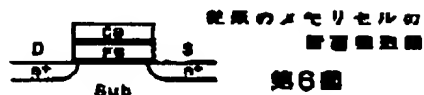
従来のEEPROMのメモリセルアレイの等価回路図

第5図

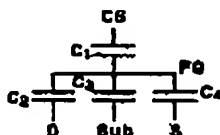


消去時の電圧の説明図

第11図

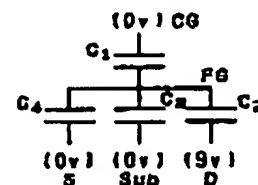


第6図



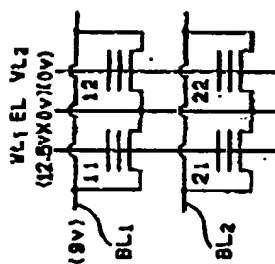
従来のメモリセルの等価回路図

第7図



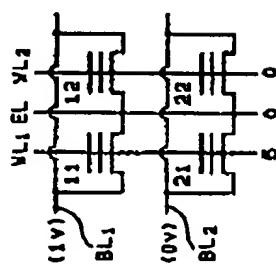
第8図におけるセル12の電圧の説明図

第12図



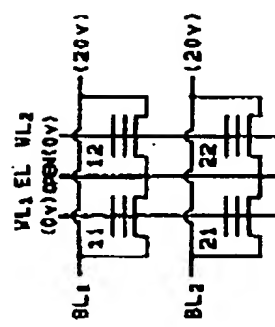
書き込み時のバイアスの説明図

第8図



消出し時のバイアスの説明図

第9図



消去時のバイアスの説明図

第10図